

PAT-NO: JP403179755A
DOCUMENT-IDENTIFIER: JP 03179755 A
TITLE: CONNECTION STRUCTURE OF INTEGRATED CIRCUIT
WITH CIRCUIT BOARD

PUBN-DATE: August 5, 1991

INVENTOR-INFORMATION:
NAME
MATSUDA, YUJI
NAITO, KATSUYUKI

ASSIGNEE-INFORMATION:
NAME SHARP CORP COUNTRY
N/A

APPL-NO: JP01319454

APPL-DATE: December 7, 1989

INT-CL (IPC): H01L021/60, H01L023/12

US-CL-CURRENT: 29/827

ABSTRACT:

PURPOSE: To obtain a connection structure provided with the electrode of a circuit board where a conductive adhesive agent is hardly separated, where the structure concerned connects an integrated circuit with the circuit board, by a method wherein connection electrodes are formed on an electrical insulating circuit board, a conductive layer is formed spreading over the connection electrodes, and the protruding electrode of a semiconductor integrated circuit is provided onto the conductive layer through the intermediary of a conductive adhesive agent.

CONSTITUTION: A semiconductor integrated circuit 1 provided with a protruding electrode 2 and an electrode 4 formed on a circuit board 3 are electrically connected together with a conductive adhesive agent 5 and fixed, where the surface of the electrode 4 is roughened. The electrode 4 is formed in such a manner that connection electrodes 7 arranged in a line serving as the lower layer of the electrode 4 are formed on the circuit board 3 and a conductive layer 3 serving as the upper electrode of the electrode 4 is formed covering the connection electrodes 7 and the upside of the circuit board 3. The surface of the conductive layer 8 is formed rugged forming irregularities composed of protrusions 9 correspondent to the connection electrodes 7 and recesses 10 correspondent to the parts of a base main body 6 where the electrodes 7 are not provided.

COPYRIGHT: (C)1991,JPO&Japio

⑫ 公開特許公報(A) 平3-179755

⑤ Int.Cl.⁵H 01 L 21/60
23/12

識別記号

3 1 1 S

庁内整理番号

6918-5F

⑬ 公開 平成3年(1991)8月5日

7738-5F H 01 L 23/12

Q

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 集積回路と回路基板との接続構造

⑯ 特 願 平1-319454

⑰ 出 願 平1(1989)12月7日

⑱ 発 明 者 松 田 勇 次 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内⑲ 発 明 者 内 藤 克 幸 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 西教 圭一郎 外1名

明 細 書

1. 発明の名称

集積回路と回路基板との接続構造

2. 特許請求の範囲

電気絶縁性の回路基板上に複数の接続用電極を形成し、これら接続用電極にわたって導電層を形成し、この導電層上に、導電性接着剤を介して半導体集積回路の突起電極を接続したことを特徴とする集積回路と回路基板との接続構造。

3. 発明の詳細な説明

産業上の利用分野

本発明は、液晶表示素子などに用いられる集積回路と回路基板との接続構造に関する。

従来の技術

突起電極を有する集積回路の前記突起電極と回路基板の電極との接続方法として、導電性接着剤を用いて接着固定させる実装構造が実用化されつつある。

発明が解決しようとする課題

上記従来技術によると、回路基板の電極は平坦

であり、かつ導電性接着剤との接触面積は狭いため、温度変化に基づく集積回路と回路基板との熱膨張率の違いなどによって接続部分に剪断歪みが生じ、これにともない剪断応力がかかる。この剪断応力が大きいと、接着剤が、回路基板の電極との界面で剥離や破断を生じることになる。このような事態が発生すると、これら導電性接着剤と回路基板の電極との間で抵抗が高まり、接続が不安定となるなどの問題があった。

本発明は上記問題を除き、導電性接着剤が剥離し難い回路基板の電極を備えた、集積回路と回路基板との接続構造を提供することを目的とする。

課題を解決するための手段

上記目的を達成するため本発明は、電気絶縁性の回路基板上に複数の接続用電極を形成し、これら接続用電極にわたって導電層を形成し、この導電層上に、導電性接着剤を介して半導体集積回路の突起電極を接続したことを特徴とする集積回路と回路基板との接続構造である。

作 用

回路基板と半導体集積回路の突起電極とは、回路基板上に形成される複数の接続電極と、これら複数の接続電極にわたって形成される導電層と、導電性接着剤とを介して接続される。このため、前記導電層と導電性接着剤との界面が凹凸面による広い面積となり、両者間に接続不安定現象が生じることがない。

実施例

第1図は本発明の一実施例の断面図である。

図に示すように、突起電極2を有する半導体集積回路1と回路基板3に形成される電極4とを導電性接着剤5を用いて電氣的に接続し、かつ、固定するにあたり、実施例によると、前記電極4は、その表面が凹凸面とされる。

突起電極2は、頂面が銅メッキなどによって高い導電性が保持されている。

回路基板3は、COG (chip on glass) 法によると、透明ガラス板から成る電気絶縁性の基板本体6の一表面に電極4が形成される。この電極4は、前記回路基板3上に電極の下層となるライ

凸部9と、接続用電極7を有しない部分の、基板本体6に対応する凹部10とによって凹凸面が形成される。導電性接着剤5は、たとえば、粘度200ポイズのエポキシ系接着剤に粒径0.1~10 μ m程度の銀とパラジウムの合金を含ませた銀系ペーストが用いられる。

これら導電性接着剤5を用いて、集積回路1の突起電極2を回路基板3上に接続固定するには、まずペースト状の接着剤5を突起電極2の頂部に塗布して、接続すべき回路基板3の接続所定位置に接着する。この状態で120~150℃の雰囲気中で、たとえば30分間加熱を行い、接着剤5を硬化させる。

上記接着において、回路基板3上の電極4の表面は凹凸状をなすとともに、電極4と接着剤5との接触面積が増大されるため、これら電極4と接着剤5との界面における剪断応力が軽減され、剥離が防止されて、両者間に接続不安定な現象が生じることがない。

第3図は本発明の接続構造を用いた液晶表示素

子状接続用電極7を形成し、これら接続用電極7および回路基板3の上面を上層電極となる導電層8で覆って成る。

前記接続用電極7は、第2図の平面図に示すように、並列する複数(実施例では3列)のライン状とされ、たとえば、1000~2000Å程度の厚みの金属酸化物の透明薄膜(略称ITO)から成る。この透明薄膜は、公知のスパッタリングまたは電子ビーム蒸着法などの方法で基板本体6の一表面に広範囲にわたって形成された後、エッチング液による腐食処理(エッチングという)がなされ、前記第2図に示す複数のライン以外の部分が除去され、基板3の表面に、接続用電極7を兼ねる複数の突条として残される。

また、導電層8は、Mo、Tiなどのような低抵抗材料が用いられ、導電性に優れ、スパッタリングまたは電子ビーム蒸着法などの手段を用いて形成される。導電層8の水平方向端部の不必要な部分はエッチング除去される。

導電層8の表面は、前記接続用電極7に対応す

る要部の一部断面図である。第3図において、液晶表示素子15は、図示しない透明電極が表面に形成された透明ガラスの回路基板13と、同じく透明ガラス基板上に、図示しない透明電極を形成した対向基板14とを、それらの電極形成面が互いに対向するように配置し、両基板13、14の間に液晶層(図示せず)を介在させ、その液晶に電界を与えて表示を行うようにしている。

この液晶表示素子15を駆動するために、前記回路基板13上に、集積回路1が設けられ、突起電極を経て回路基板13に接続されている。この実施例によると、突起電極と回路基板13との接続部の外周はモールド樹脂16により封止されている。

なお、第3図における参照符号17は入力用のプリント基板を示す。

上記実施例では、接続用電極7は、複数の並列されてライン状に形成されたが、他の実施例として、第4図または第5図の平面図に示すように、格子状または複数の輪状に形成されてもよい。

次に、本発明の回路基板3の電極4の製造工程を第6図に示す工程順に従って説明する。

第6図(a)に示すように、基板本体6上にスパッタリング等の手段を用いて、後記接続用電極7となる金属酸化物の透明薄膜21を形成し、さらにその上にフォトリソist液をスピコートなどの手段によって塗布し、フォトリソist層22を形成し、予備硬化させる。

前記フォトリソist層22に対し、露光・現像によるパターニングを行い、第6図(b)に示すように、不要部分を除去したあとの残留フォトリソist層23を本硬化させる。

次に、第6図(c)に示すように、前記透明薄膜21に対しエッチングを行う。このエッチングによって、残留フォトリソist層23に被覆された部分が接続用電極7として残される。

続いて、前記残留フォトリソist層23を剥離除去し、第6図(d)に示すように、接続用電極7を露出させる。この実施例では接続用電極7はライン状とされる。

との2重構造の電極4が形成され、電極4の表面は凹凸面10、9となる。

発明の効果

以上の通り本発明によると、回路基板上に形成された複数の接着用電極の上に、これら接続用電極にわたって低抵抗材料を用いた導電層が形成されるので、導電層の表面は凹凸面とされる。このため、この導電層と、半導体集積回路の突起電極とが、導電性接着剤を介して接続されるとき、導電層と接着剤との接合面積が増大され、互いの接着強度が増大し、接続部分に剪断歪みが発生するのを防ぎ、導電層の界面に剪断応力が加わっても剥離や破断が生じ難い。したがって、これら導電層と接着剤との間の電気抵抗が高くなったり、接続不安定を来すことがない。

4. 図面の簡単な説明

第1図は本発明の一実施例の断面図、第2図は接着用電極の平面図、第3図は本発明の接続構造を用いた液晶表示素子の要部の一部断面図、第4図および第5図はそれぞれ、他の実施例を示す接

第6図(e)において、前記ライン状に残された接続用電極7を有する基板本体6の上から、この接続用電極7を覆うように、MoまたはTiなどをスパッタリングまたは電子ビーム蒸着法などにより蒸着させ、薄い低抵抗被膜25を形成し、さらにその被膜の全面を覆って、前記(a)工程におけるフォトリソist層22と同一材料、同一手段を用いて、第2のフォトリソist層26を塗布した後、硬化させる。

また、第6図(f)に示すように、前記(b)工程と同様に、第2フォトリソist層26の不要部分に対してパターニングを行い、残ったフォトリソist層27を硬化させる。

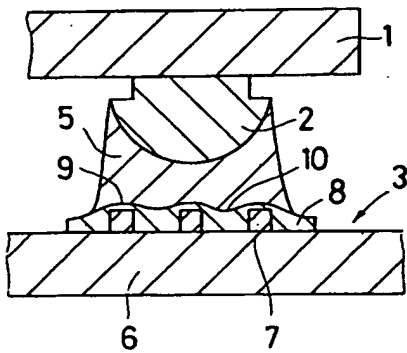
続いて、前記残留し硬化したフォトリソist層27から露出する低抵抗被膜25に対してエッチング除去を行い、第6図(g)に示す状態とする。

最後に、前記残留フォトリソist層27の溶解剥離を行って、第6図(h)に示すような、金属酸化物の透明被膜から成る接続用電極7と、MoまたはTiなど低抵抗被膜25から成る導電層8

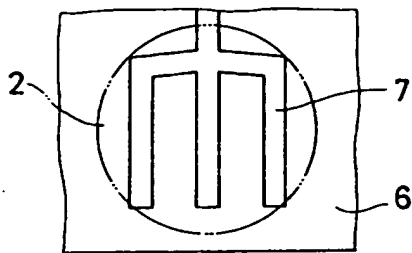
接続用電極の平面図、第6図は回路基板上の電極の製造工程説明図である。

1、11…半導体集積回路、2…突起電極、3、13…回路基板、4…電極、5…導電性接着剤、6…基板本体、7…接着用電極、8…導電層、14…対向基板、15…液晶表示素子

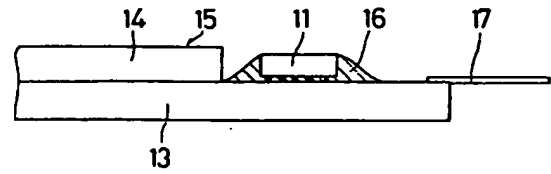
代理人 弁理士 西教 圭一郎



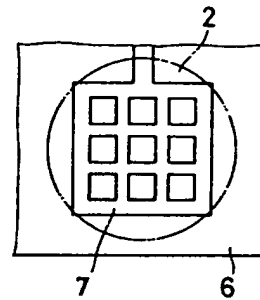
第 1 図



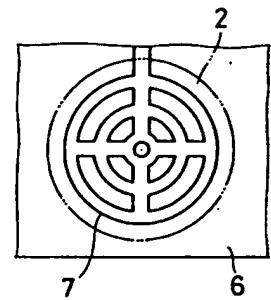
第 2 図



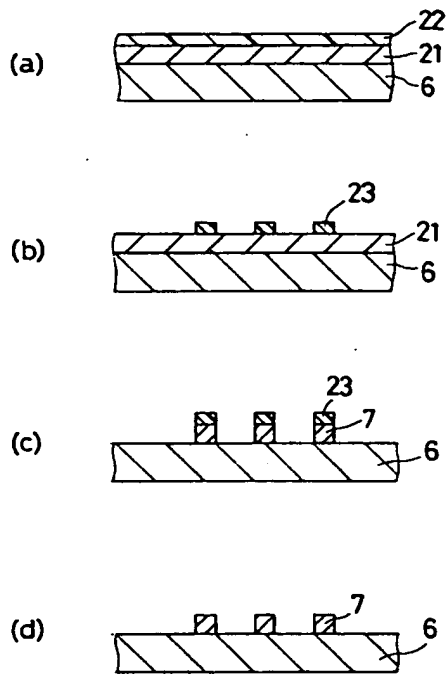
第 3 図



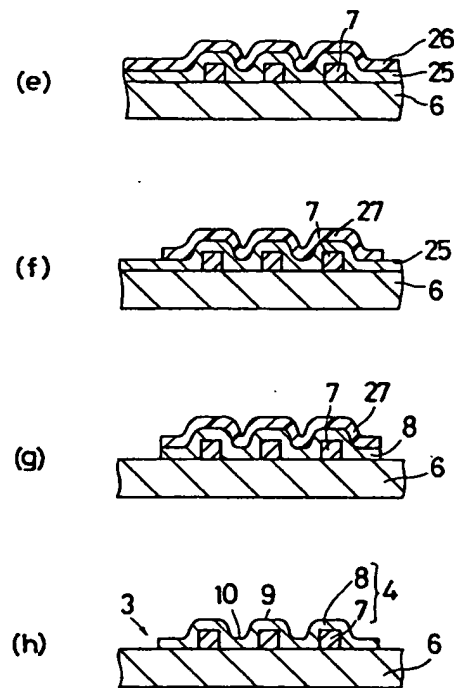
第 4 図



第 5 図



第 6 図 (1)



第 6 図 (2)